

61

**PRODUCTION METHOD OF BIPOLAR INTEGRATED
CIRCUIT CONTAINING I<2> L**

Patent Number: JP55009464
Publication date: 1980-01-23
Inventor(s): OZAWA OSAMU
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP55009464
Application Number: JP19780082683 19780707
Priority Number(s):
IPC Classification: H01L27/08
EC Classification:
Equivalents:

Abstract

PURPOSE: To increase electric current amplification rate by forming the first layer wiring on a collector layer of I<2> L part to be equal to, or smaller than its collector layer area, shortening the intervals of collector layers, and improving the area ratio of the collector layer against the base layer.

CONSTITUTION: An n-epi layer 23 on a p<->type Si base plate 21 is surrounded by an n<+> planted layer 22 and a p<+> separating layer. Within this island are made a p<-> base layer 25, n<+> connecting layer 26, an outside base layer 27. A proliferation window, formed on SiO₂ 28, is covered with PSG 30, performing P proliferation to make a collector layer 31 and an emitter layer 32. An opening smaller than the proliferation window is formed to PSG on the layers 31, 32, high density poly-Si is layed by CVD method, and the first wiring layer 34 between the layers 31-32 are selectively formed. Next, PSG 35 is layed, selectively opened, attached with Al through vaporization for selectively corrosive carving to compose an earth 37, an injector 38, an input part 39 as the second wiring layer. This structure improves the property of I<2> L device of dual layer wiring structure.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—9464

⑪ Int. Cl.³
H 01 L 27/08

識別記号

庁内整理番号
6513—5F

⑬ 公開 昭和55年(1980)1月23日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ I²Lを含むバイポーラ集積回路の製造方法

京芝浦電気株式会社総合研究所
内

⑯ 特 願 昭53—82683

⑰ 出 願 昭53(1978)7月7日

⑱ 発 明 者 尾沢修

川崎市幸区小向東芝町1番地東

⑲ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

I²Lを含むバイポーラ集積回路の製造方法

2. 特許請求の範囲

エミッタ、コレクタを通常のバイポーラトランジスタと逆動作するI²Lを含むバイポーラ集積回路の製造において、集積回路基体の拡散窓に、炭又は砒素を拡散してI²L部のコレクタ領域を形成するとともに絶縁膜を形成した後、前記コレクタ領域の絶縁膜部分に前記拡散窓より小さいコンタクトホールを設け、このコンタクトホールにI²L回路の配線のための高濃度多結晶シリコン配線を形成して前記コレクタ領域と接続させ、さらに第二層の金属配線を施すことを特徴とするI²Lを含むバイポーラ集積回路の製造方法。

3. 発明の詳細な説明

本発明は二層配線構造をなすI²Lを含むバイポーラ集積回路の製造方法の改良に関する。

周知の如く、この種のバイポーラ集積回路は

エミッタ、コレクタを通常のバイポーラトランジスタと逆にした逆動作パーティカルトランジスタからなるインバータと、そのエミッタベースを夫々ベース、コレクタとして共有する相補型のインジェクタ用トランジスタとを備えたものであるが、通常のバイポーラ集積回路に比してインバータ中の電流増幅率(β_{op})が低いために、電流増幅率を改善することが要望されている。

ところで、従来、I²Lを含む2層配線を行つたバイポーラ集積回路を製造するには次のようなことが行なわれている。即ち、周知の技術で一層アルミニウム配線を行ない、層間絶縁物をCVD膜で堆積させた後、この膜にコンタクトホールを写真蝕刻法により形成し、さらに第二層のアルミニウム蒸着及びパターンニングを行なつて完成する。しかしながら、この方法にあつては第一、第二のアルミニウム蒸着後の高温プロセス(500℃以上)が不可能であり、清淨化工程、例えばリングッター等が不可能となる問題

がある。また、第一層のアルミニウム上に絶縁体として堆積させるCVD膜と該アルミニウムとが反応して、しばしば電気接続が不可能となる問題がある。

このようなことから、以下に示す如く第一層配線をアルミニウムに代つて高濃度多結晶シリコンで形成して I^2L を含むバイポーラ集積回路を製造することが考えられる。従来バイポーラICでは、多結晶Siは拡散源として使用されているが配線に使用されてはいない。即ち、まず第1図aに示すようにP型のシリコン基板1に Sb 又は As で n^+ 拡散層2を、さらにエピタキシャル成長により n 型Si層3を形成した後、ボロン拡散により p^+ 分離領域4を構成し、ひきつづき n^+ 拡散領域5、インジエクター及び外部ベース領域6、ボロンの低濃度拡散により真のベース領域7を形成し、さらにシリコン酸化膜8を設け、この酸化膜に拡散窓9...9を形成する。その後、シリコン酸化膜8上に第一層配線材料としてのリン或いはヒ素ドーパ多結晶シリコン膜

10をCVD法により被着すると共に拡散窓9...9からリン或いはヒ素を拡散してコレクタ領域11...11を形成する(第1図b図示)。つづいて第1図cに示すように写真蝕刻法により多結晶シリコン膜10をエッチングして第一層の多結晶シリコン配線10'を形成した後、リン珪化ガラス等を被着して絶縁膜12を形成する(第1図d図示)。次いで、絶縁膜12及び酸化膜8にコンタクトホールを明け、アルミニウム蒸着、選択エッチングを施して第二層配線としてのアース部13、インジエクター14、入力部15を構成し、 I^2L を含むバイポーラ集積回路を造る(第1図e図示)。

しかしながら、上記方法にあつては多結晶シリコンを拡散窓を有する酸化膜上に直接被着してコレクタ領域を形成するため第2図に示す如く、コレクタ領域11...11上の多結晶シリコンからなる第一層配線10'...10'がコレクタ領域11...11の面積より大きくなる。その上、第一層配線10'...10'間は所定の巾(通常3 μm

は必要)を保持しなければならないため、コレクタ領域11...11の間隔が必然的に長くなり、集積度が著しく低下すると共にベース領域6の面積に対するコレクタ領域の面積の比が低くなり、電流増幅率(β_{app})が低下する欠点がある。

これに対し、本発明者は上記欠点を解消するために鋭意研究を重ねた結果、コレクタ領域に接続させる多結晶シリコンの第一層配線を形成する際、予め拡散窓に隣又は砒素を拡散するとともに絶縁膜を形成し、この絶縁膜に拡散窓より小さいコンタクトホールを開口した後多結晶シリコンの第一層配線を形成することによつて、コレクタ領域上の第一層配線を該コレクタ領域の面積と同等乃至それより小さくでき、もつてコレクタ領域の間隔が短くなり集積度を向上できると共に、ベース領域面積に対するコレクタ領域面積の比が向上し電流増幅率を著しく改善でき、高速動作が可能な I^2L を含むバイポーラ集積回路を製造し得る方法を見い出した。

すなわち、本発明方法はエミッタ、コレクタ

を通常のバイポーラトランジスタと逆にした構造の I^2L を含むバイポーラ集積回路の製造において、集積回路基体の拡散窓に、隣又は砒素を拡散して I^2L 部のコレクタ領域を形成するとともに絶縁膜を形成した後、前記コレクタ領域の絶縁膜部分に前記拡散窓より小さいコンタクトホールを設け、このコンタクトホールに I^2L 回路の配線のための高濃度多結晶シリコン配線を形成して前記コレクタ領域と接続させ、さらに第二層の金属配線を施すことを特徴とするものである。

本発明におけるコレクタ領域の形成と絶縁膜の形成とを行なう手段としては、例えば拡散窓に隣又はヒ素をイオン注入した後熱酸化処理して酸化膜(絶縁膜)を形成する方法、或いは拡散窓に珪化ガラス又は砒素珪化ガラスをCVD法により被覆して該ガラスからの炭、砒素の拡散によりコレクタ領域と絶縁膜とを同時に形成する方法等が採用し得る。

本発明におけるコレクタ領域は通常複数個形

成されるものである。

次に、本発明の実施例を第3図a~fを参照して説明する。

実施例

まず第3図aに示すように、 p^- 型のシリコン基板21にSbで n^+ 拡散層22を、さらにエピタキシャル成長により n 型Si層23を形成した後、ボロン拡散により p^+ 分離領域24を構成し、ひきつづきボロンの低濃度拡散により真のベース領域25、 n^+ 拡散領域26、インジエクター及び外部ベース領域27を形成し、さらに熱酸化処理によりシリコン酸化膜28を設け、この酸化膜28に拡散窓29...29を形成した。その後、第3図bに示すようにシリコン酸化膜28全面に厚さ3000Åの磷珪化ガラス膜30 (PSG膜)をCVD法により形成すると共に、該PSG膜30から雄を拡散窓29...29に拡散して真のベース領域25に4つのコレクタ領域31...31及び n^+ 拡散層にエミッタ領域32を形成した。

次いで、第3図cに示すように、コレクタ領

域31...31上のPSG膜30部分に前記拡散窓29...29より小さい面積のコンタクトホール33...33をあけた。この場合、エミッタ領域32上のPSG膜30部分にもコンタクトホール33'をあけた。つづいて、コンタクトホール33...33, 33'を有するPSG膜30上に高濃度多結晶シリコン膜をCVD法により被覆し、通常の写真蝕刻法によりパターンニングして前記コレクタ領域31...31及びエミッタ領域32に接続した第一層の配線34...34を形成した(第3図d図示)。勿論、undoped多結晶SiをCVD法で成長させた後、リン或いはAs等を多結晶Siに拡散してもよい。その後、第3図eに示すように第一層の配線34...34を含むPSG膜30上に厚さ6000Åの磷珪化ガラス膜35 (PSG膜)を被覆し、しかる後、エミッタ領域32の配線34上の第二層目のPSG膜36の部分、インジエクター領域27上の酸化膜28と第一、第二のPSG膜30, 35との部分、及び外部ベース上の酸化膜28と第一、第二のPSG膜30,

35との部分に配線取出口36, 36, 36をあけ、アルミニウム蒸着、選択エッチングを施して第二層配線としてのアース部37、インジエクター38、入力部39を構成し、 I^2L を含むバイポーラ集積回路を得た。

得られた集積回路は第4図に示すように外部ベース領域27内のコレクタ領域31...31上のPSG膜に拡散窓29...29より小さいコンタクトホール33...33が形成され、そのコンタクトホール33...33を介して第一層配線34...34が該コレクタ領域31...31と接続されている。つまり、第一層配線34...34がコレクタ領域31...31の面積と同等となる。このため、第一層配線34...34間を所定の巾(3μm程度)に保持してもその第一層配線34...34はコレクタ領域31...31と合致するので、コレクタ領域31...31を3μm隔てればよく、実質的にコレクタ領域31...31間の距離を従来法(前述した第2図図示)に比して著しく短くなる。その結果、集積度を向上できると共に、

外部ベース領域27の面積に対するコレクタ領域31...31の面積比が向上され、電流増幅率を改善できる。なお、本実施例において拡散窓を従来法と同寸法とした場合、集積度については従来法に比して24%程度改善され、かつ電流増幅率については従来法に比して31%改善されることがわかった。

以上詳述した如く、本発明によれば I^2L 部のコレクタ領域上の第一層配線を、該コレクタ領域の面積と同等乃至それより小さくでき、もつてコレクタ領域の間隔を短くして集積度を向上できると共に、ベース領域の面積に対するコレクタ領域の面積比を向上して電流増幅率を著しく改善でき、高速動作が可能な I^2L を含むバイポーラ集積回路を製造できる等顕著な効果を有する。

4.図面の簡単な説明

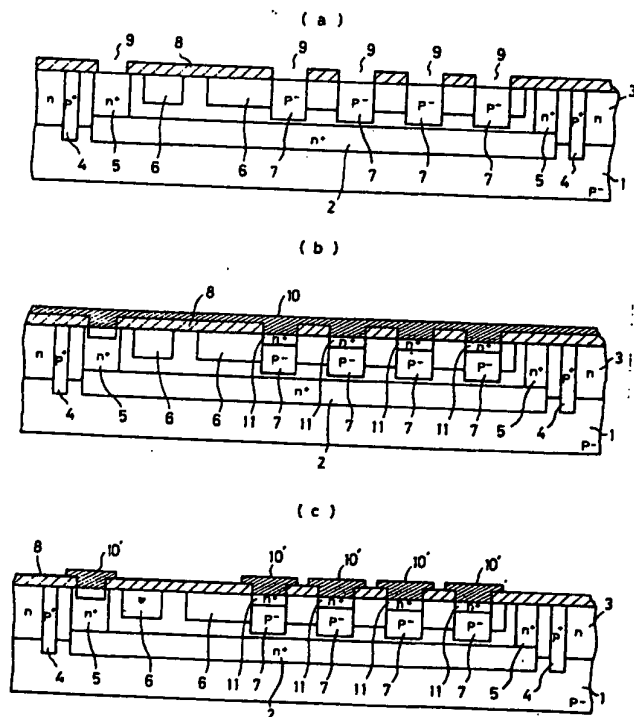
第1図a~eは従来の I^2L を含むバイポーラ集積回路の製造工程を示す断面図、第2図は前記工程で得られた集積回路のベース領域を示す

平面図、第3図a~fは本発明の I^2L を含む集積回路の製造工程を示す断面図、第4図は前記第3図a~fの工程により得られた集積回路のベース領域を示す平面図である。

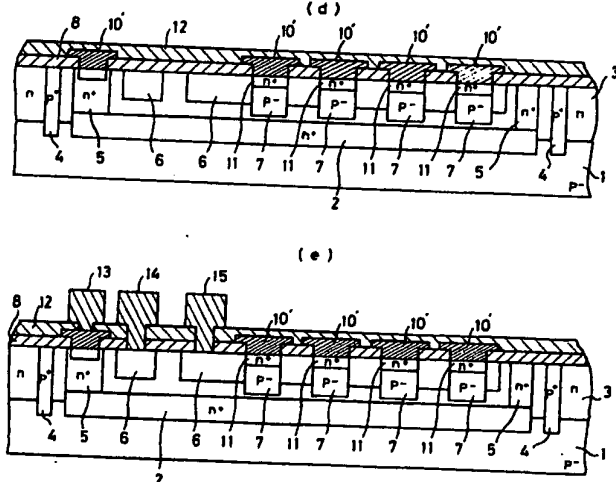
21... p -型シリコン基板、27...外部ベース領域、28...シリコン酸化膜、29...拡散窓、30...PSG膜、31...コレクタ領域、33...コンタクトホール、34...第一層配線(Pol-Si)、37...アース部、38...インジエクタ、39...入力部。

出願人代理人 弁理士 鈴江 武彦

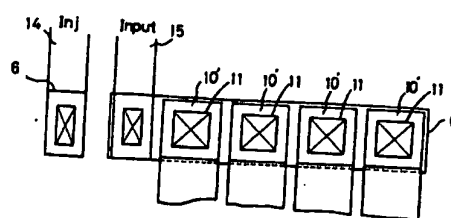
第1図



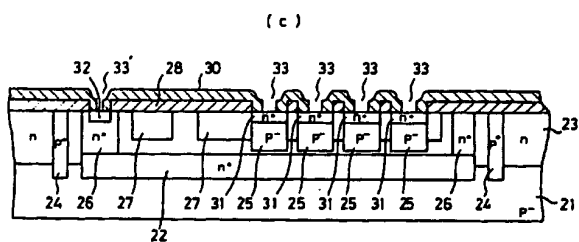
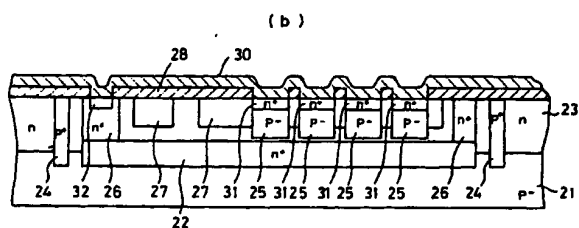
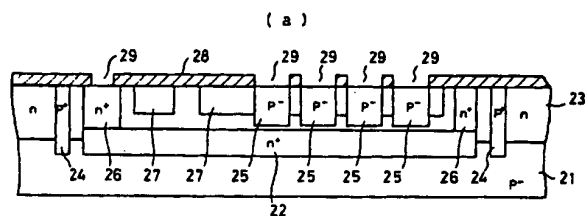
第1図



第2図

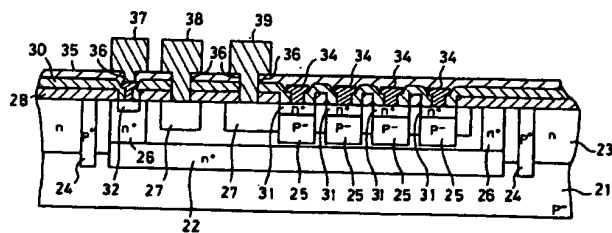
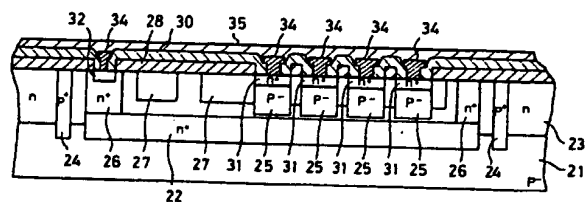
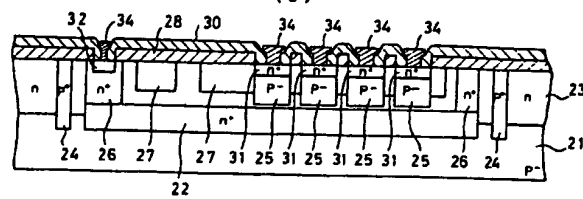


第 3 圖



第 3 圖

特開昭55-9464 (5)



第 4 圖

